

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076861

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H03K 5/14

G06F 1/10

G06F 1/12

(21)Application number : 2000-264882

(71)Applicant : JAPAN RADIO CO LTD

(22)Date of filing : 01.09.2000

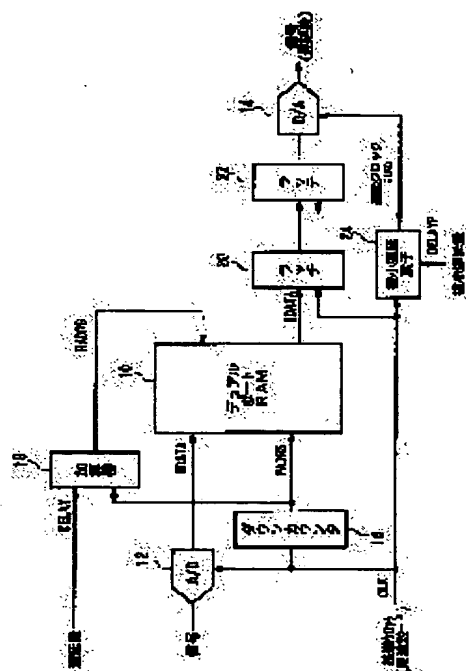
(72)Inventor : WATANABE OSAMU  
MICHIJIMA FUTOSHI  
IIDA HIROSHI  
TERADA KENJI

## (54) DIGITAL DELAY CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital delay circuit that can enhance the delay resolution without employing a high-speed clock signal.

SOLUTION: A latch 20 latches data RDATA read from a dual port RAM 10 and further a latch 22 latches the data RDATA. The latch 20 executes latching in timing of a reference clock CLK and the latch 20 executes latching in timing of a delayed clock CLKD. A very-small-delay element 24 delays the reference clock CLK to produce the delay clock CLKD.



## LEGAL STATUS

[Date of request for examination]

08.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76861

(P2002-76861A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 3 K 5/14		H 0 3 K 5/14	5 B 0 7 9
G 0 6 F 1/10		G 0 6 F 1/04	3 3 0 A 5 J 0 0 1
1/12			3 4 0 D

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2000-264882 (P2000-264882)

(22) 出願日 平成12年9月1日 (2000.9.1)

(71) 出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72) 発明者 渡辺 修

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

(72) 発明者 道島 太

東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

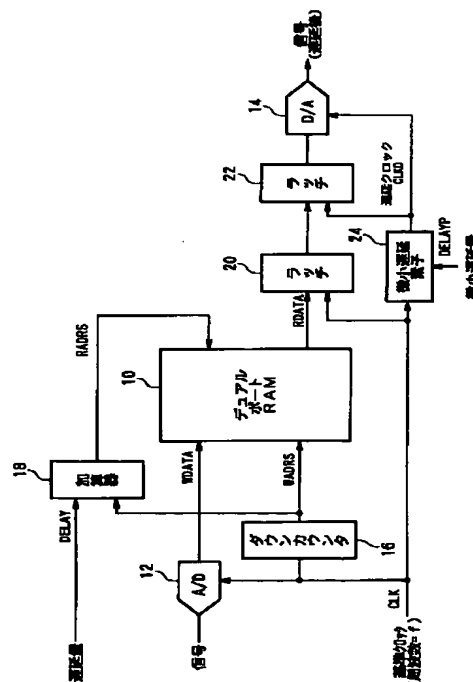
最終頁に続く

(54) 【発明の名称】 デジタル遅延回路

(57) 【要約】

【課題】 クロックを高速化せずに遅延分解能を向上させる。

【解決手段】 デュアルポートRAM 10から読み出したデータRDATAをラッチ20によりラッチし、更にラッチ22によりラッチする。ラッチ20は基準クロックCLKのタイミングでラッチを実行し、ラッチ22は遅延クロックCLKDのタイミングでラッチを実行する。微小遅延素子24は、基準クロックCLKを遅延させることにより遅延クロックCLKDを発生させる。



## 【特許請求の範囲】

【請求項1】 メモリ、要求される遅延量に応じたアドレス差が保たれるよう書込アドレス及び読出アドレスを基準クロックの1周期毎に更新指定する手段、並びにそれら書込アドレス及び読出アドレスに従い基準クロックの1周期毎にメモリに情報を書き込みメモリから情報を読み出す手段を有するメモリ使用型遅延回路と、基準クロックに対し基準クロックの1周期未満の遅延時間を有する遅延クロックを発生させる遅延クロック発生手段、メモリから読み出された情報を基準クロックのタイミングでラッチする第1ラッチ手段、並びに第1ラッチ手段のラッチ出力を遅延クロックのタイミングでラッチする第2ラッチ手段を有し、第2ラッチ手段のラッチ出力を以て遅延出力として出力する遅延クロック使用型遅延回路と、

を備えることを特徴とするデジタル遅延回路。

【請求項2】 メモリ、要求される遅延量に応じたアドレス差が保たれるよう書込アドレス及び読出アドレスを基準クロックの1周期毎に更新指定する手段、並びにそれら書込アドレス及び読出アドレスに従い基準クロックの1周期毎にメモリに情報を書き込みメモリから情報を読み出す手段を有するメモリ使用型遅延回路と、基準クロックに対し基準クロックの1周期未満の遅延時間を有する遅延クロックを発生させる遅延クロック発生手段、基準クロックの $1/N$ 倍 ( $N: 2$ 以上の自然数)の周波数を有し互いに位相差を有する $N$ 通りの低速クロックを発生させる低速クロック発生手段、遅延クロックの $1/N$ 倍の周波数を有し互いに低速クロック間の位相差に対応した位相差を有する $N$ 通りの遅延低速クロックを発生させる遅延低速クロック発生手段、メモリから読み出された情報を基準クロックのタイミングでラッチする第0ラッチ手段、第0ラッチ手段のラッチ出力を対応する低速クロックのタイミングでラッチする $N$ 個の第1ラッチ手段、対応する第1ラッチ手段のラッチ出力を対応する遅延低速クロックのタイミングでラッチする $N$ 個の第2ラッチ手段、並びに $N$ 個の第2ラッチ手段のラッチ出力を遅延クロックのタイミングでかつ低速クロックの位相の順に従い順繰りにラッチする第3ラッチ手段を有し、第3ラッチ手段のラッチ出力を以て遅延出力として出力する遅延クロック使用型遅延回路と、

を備えることを特徴とするデジタル遅延回路。

【請求項3】 請求項1又は2記載のデジタル遅延回路において、遅延クロック発生手段が、基準クロックの1周期より短い時間を単位としてその遅延量を調整可能な微小遅延素子を有し、この微小遅延素子に基準クロックを供給することにより遅延クロックを発生させることを特徴とするデジタル遅延回路。

【請求項4】 請求項3記載のデジタル遅延回路において、

遅延クロック使用型遅延回路が、微小遅延素子における遅延量を変化させる旨の指令に応じ微小遅延素子に対する基準クロックの供給を一時的に停止させ、遅延量を変化させるための信号を微小遅延素子に対し当該一時的停止の期間中に供給して遅延量を変化させる手段を有することを特徴とするデジタル遅延回路。

【請求項5】 それぞれ無線伝搬路の伝搬特性を模擬する特性に従い入力信号を処理する複数の模擬ユニットと、これらの模擬ユニットに対し送信信号を模擬する入力信号を分配供給する手段と、これらの模擬ユニットから処理結果として得られる信号を合成して受信信号を模擬する出力信号を得る手段と、を備えるシミュレータにおいて、

無線伝搬路の伝搬特性のうち動的な伝搬遅延プロファイル特性を模擬するため、各模擬ユニットの一部として又は各模擬ユニットに付設して、遅延プロファイル更新時に上記出力信号に瞬断が生じないように請求項1乃至4のいずれか記載のデジタル遅延回路を設け、これらデジタル遅延回路に上記情報として上記入力信号又はそのサンプル値を供給することを特徴とするシミュレータ。

【請求項6】 メモリへの書込に対するメモリからの読出の時間差を以て情報を遅延させる遅延方法において、上記書込及び読出動作の速度を規定する基準クロックに対して当該基準クロックの1周期未満の時間だけずれたタイミングでメモリ出力をラッチすることにより当該情報を遅延させることを特徴とする遅延方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリを用いて情報を遅延させるデジタル遅延回路に関する。

## 【0002】

【従来の技術】図8に、従来から用いられているデジタル遅延回路の一例を示す。この図に示す回路は、デュアルポートRAM10、A/Dコンバータ12及びD/Aコンバータ14を備えている。遅延させるべきアナログ信号は、A/Dコンバータ12によりデジタルデータに変換され、このデータWDATAはデュアルポートRAM10のアクセスポートのうち一つに供給される。デュアルポートRAM10上に記憶されているデータは、デュアルポートRAM10のもう一つのアクセスポートから読み出され、読み出されたデータRDATAはD/Aコンバータ14によりアナログ信号に変換される。また、A/Dコンバータ12及びD/Aコンバータ14におけるサンプリング動作は、図示しない基準クロック発生器にて発生した周波数 $=f$ の基準クロックCLKに同期して実行される。

【0003】デュアルポートRAM10への書込アドレスWADRS及びデュアルポートRAM10からの読出アドレスRADRSは、ダウンカウンタ16及び加算器18により生成される。ダウンカウンタ16は基準クロ

ックCLKを計数し、その出力値をこの計数に同期して漸減させていく。但し、当該出力値がある下限値（例えば0）に達したら、ダウンカウンタ16は、それを最大値（例えばデュアルポートRAM10のサイズ相当値）に戻す。加算器18は、外部から設定され遅延量を示す情報DELAYを、ダウンカウンタ16の出力値に加算する。但し、その出力値が上掲の下限値に達したら、加算器18は、その出力値を上掲の最大値に戻す。従って、ダウンカウンタ16及び加算器18の出力は基準クロックCLKに同期して巡回的に漸減していく。また、ダウンカウンタ16の出力と加算器18の出力との間には、常に、遅延量DELAYに相当する差が保たれる。図8に示す回路においては、ダウンカウンタ16の出力をデュアルポートRAM10への書込アドレスWADRSとして用い、加算器18の出力を及びデュアルポートRAM10からの読出アドレスRADRSとして用いることによって、遅延量DELAYに係る遅延を実現している。

【0004】即ち、加算器18の動作によって、図9中に「→」及び「←」で示すように、書込アドレスWADRSと読出アドレスRADRSとのアドレス差を遅延量DELAYに相当する値に保持しつつ、ダウンカウンタ16の動作によって、図9中に白抜き上向き矢印で示すように、書込アドレスWADRS及び読出アドレスRADRSをデュアルポートRAM10に対して基準クロックCLKに同期して更新（巡回的漸減）指定する。そのため、ある時点で任意のアドレスにデータWDATAとして書き込まれたデータは、遅延量DELAYに基準クロックCLKの周期（ $=1/f$ ）を乗じた時間 $DELAY/f$ が経過した時点で、データRDATAとして読み出されることとなる。読み出されたデータRDATAは、基準クロックCLKのタイミングでラッチ20によりラッチされ、D/A変換に供される。

【0005】また、以上述べた動作原理から明らかなように、図8に示した回路における遅延分解能は基準クロックCLKの周波数によって決まり、最大遅延時間は更にデュアルポートRAM10のサイズ（ワード数）により決まる。例えば、基準クロックCLKの周波数 $f$ が100MHzであり、デュアルポートRAM10のサイズが図示の如く16kワードであるとする。ダウンカウンタ16は基準クロックCLKを計数しているため、ダウンカウンタ16の出力値即ち書込アドレスWADRSと、それをもとに生成される読出アドレスRADRSは、デュアルポートRAM10に対して、 $1/f=10\text{ nsec}$ 周期毎に更新指定されることとなる。遅延分解能は、遅延量DELAYを1としたときの遅延時間であるから、 $1 \times 10\text{ nsec}=10\text{ nsec}$ となる。最大遅延時間は遅延分解能にデュアルポートRAM10のサイズ（ワード数）を乗じた時間であり、この例の場合 $10\text{ nsec} \times 16\text{ kワード}=163.84\mu\text{sec}$ とな

る（但し $1\text{ k}=1024$ としている）。

【0006】

【発明が解決しようとする課題】従来のデジタル遅延回路における遅延分解能は、基準クロックの周波数に依存している。そのため、例えば $1\text{ nsec}$ といった精細な遅延分解能を実現するには、 $1/1\text{ nsec}=1\text{ GHz}$ という高い周波数を有する基準クロックが必要とされる。基準クロックの周波数が高いと、一般に、回路構成も複雑になり高価格となる。そのため、従来は、 $1\text{ nsec}$ といった精細な遅延分解能を実現することは、理論上は可能であっても、非現実的であった。

【0007】例えば、図8に示した回路においては、A/Dコンバータ12及びD/Aコンバータ14を基準クロックCLKに従い動作させている。そのため、基準クロックCLKの周波数を高める際には、基準クロックCLKの1周期以内の時間で1ワードをA/D変換又はD/A変換できるよう、A/Dコンバータ12及びD/Aコンバータ14の変換ビット長を長くするか或いは入出力信号の1ワードのビット数を少なくするかしなければならなかった。しかしながら、A/Dコンバータ12及びD/Aコンバータ14で一度にA/D変換又はD/A変換できるビット数即ち変換ビット長を長くするには、複数のA/Dコンバータ又はD/Aコンバータをマルチプレックス動作させる構成を採る等、複雑で高価な回路構成を用いる必要がある。また、1ワードのビット数を少なくすることは、入出力信号に関するダイナミックレンジが狭くなること或いは出力信号の精度が下がることを意味している。それらは何れも望ましくないことからすれば、1ワードのビット数を少なくすることは避けるべきである。

【0008】本発明は、このような問題点を解決することを課題としてなされたものであり、基準クロックの周波数を高めることなしに精細な遅延分解能を実現することを目的とする。

【0009】

【課題を解決するための手段】このような目的を達成するために、本発明の第1の構成に係るデジタル遅延回路においては、メモリ使用型遅延回路に加え、遅延クロック使用型遅延回路を設けている。

【0010】まず、メモリ使用型遅延回路は、メモリ、要求される遅延量に応じたアドレス差が保たれるよう書込アドレス及び読出アドレスを基準クロックの1周期毎に更新指定する手段、並びにそれら書込アドレス及び読出アドレスに従い基準クロックの1周期毎にメモリに情報を書き込みメモリから情報を読み出す手段を有する。従って、メモリ使用型遅延回路における遅延分解能は、基準クロックの周期長により定まり、その遅延時間は、この遅延分解能と、書込アドレス・読出アドレス間のアドレス差とにより定まる。

【0011】次に、本構成に係る遅延クロック使用型遅

延回路は、基準クロックに対し基準クロックの1周期未満の遅延時間を有する遅延クロックを発生させる遅延クロック発生手段、メモリから読み出された情報を基準クロックのタイミングでラッチする第1ラッチ手段、並びに第1ラッチ手段のラッチ出力を遅延クロックのタイミングでラッチする第2ラッチ手段を有し、第2ラッチ手段のラッチ出力を以て遅延出力として出力する。従って、遅延クロック使用型遅延回路における遅延時間は、第1ラッチ手段におけるラッチタイミングと第2ラッチ手段におけるラッチタイミングとの間に差を設けることにより、実現されている。ラッチタイミングの差は、基準クロックに対する遅延クロックの遅延時間であり、遅延クロック発生手段への微小遅延量の設定等により定まる基準クロック1周期未満の時間である。その遅延分解能は、遅延クロック発生手段の仕様・性能により定まり、第1及び第2ラッチ手段の特性ばらつき・変動による制約を受ける。

【0012】従って、本構成によれば、メモリ使用型遅延回路単独では実現できない細かな遅延時間を遅延クロック使用型遅延回路にて実現しているため、従来のデジタル遅延回路よりも精細な遅延分解能を達成できる。また、基準クロックの高周波化ではなく、基準クロックに対して基準クロックの1周期未満の遅延時間を有する遅延クロックを用いた処理により当該細かな遅延時間を実現しているため、基準クロックの高周波化に伴う回路の複雑化や高価格化は生じない。遅延クロック使用型遅延回路は後述の如く微小遅延素子（更にはラッチ、分周器等）により低コストで実現できる小規模な回路であり、遅延クロック使用型遅延回路を設けることによる回路の複雑化や高価格化は顕著なものではない。更に、クロックタイミングの操作による遅延処理であるため、入出力のダイナミックレンジを狭める必要もない。また、最大遅延時間はメモリ使用型遅延回路において定まるため従来と少なくとも同程度の最大遅延時間を確保できる。即ち、本構成によれば、最大遅延時間やダイナミックレンジ等の性能を維持しつつ基準クロックを比較的低周波に抑えながら、しかも回路の顕著な複雑化や高価格化を伴うことなく、従来よりも精細な遅延分解能を実現できる。

【0013】また、本発明の第1の構成に係る遅延クロック使用型遅延回路においては、第1及び第2ラッチ手段におけるラッチタイミングの差により、細かな遅延時間を実現しているため、第1及び第2ラッチ手段を構成する部材の製造ばらつきやその特性の温度変動等で、第1ラッチ手段・第2ラッチ手段間信号伝搬時間にばらつき或いは変動が現れ、その結果、実現できる遅延時間の範囲が限られてしまうことがありうる。そこで、本発明の第2の構成においては、遅延クロック使用型遅延回路の構成を次のように変形することによって、構成部品の特性のばらつきや温度変動の影響を受けにくい回路を実

現している。

【0014】まず、本発明の第2の構成に係る遅延クロック使用型遅延回路においては、遅延クロックだけでなく、N通り（ $N: 2$ 以上の自然数）の低速クロック及びN通りの遅延低速クロックをも発生させる。ここでいうN通りの低速クロックは、基準クロックの $1/N$ 倍の周波数を有し互いに位相差を有するクロックであり、N通りの遅延低速クロックは、遅延クロックの $1/N$ 倍の周波数を有し互いに低速クロック間の位相差に対応した位相差を有するクロックである。また、第1及び第2ラッチ手段は、これらN通りの低速クロック及びN通りの遅延低速クロックに対応してN組設ける。更に、各N個の第1及び第2ラッチ手段に前置して第0ラッチ手段を、また後段には第3ラッチ手段を設ける。メモリから読み出された情報は、第0ラッチ手段により基準クロックのタイミングでラッチされ、第0ラッチ手段のラッチ出力は、各第1ラッチ手段により対応する低速クロックのタイミングでラッチされ、各第1ラッチ手段のラッチ出力は対応する第2ラッチ手段により、対応する遅延低速クロックのタイミングでラッチされ、N個の第2ラッチ手段のラッチ出力は、第3ラッチ手段により遅延クロックのタイミングでかつ低速クロックの位相の順に従い順繰りにラッチされる。

【0015】このように、本構成に係る遅延クロック使用型遅延回路においても、第1の構成と同様、第1ラッチ手段におけるラッチタイミングと第2ラッチ手段におけるラッチタイミングとの差により、遅延クロック使用型遅延回路における遅延時間が定まっている。しかしながら、第1の構成においてはこれらのラッチタイミングが基準クロック及び遅延クロックのタイミングにより定まっていたのに対し、本構成においては、基準クロック及び遅延クロックの $1/N$ 倍の周波数を有する低速クロック及び遅延低速クロックのタイミングにより定まっている。また、第1及び第2ラッチ手段はN個設けられており、これに応じて低速クロック及び遅延低速クロックがN通り生成されており、更にこれらN通りの（遅延）低速クロックは互いに位相差を有している。

【0016】従って、本構成によれば、第1及び第2ラッチ手段におけるラッチ動作の実行周期が第1の構成に比べN倍となるため、第1ラッチ手段・第2ラッチ手段間信号伝搬時間のばらつき・変動を吸収しやすくなる。即ち、実現できる遅延時間の範囲が当該ばらつき・変動による制約を受けにくい。また、N通りの第1ラッチ手段・第2ラッチ手段ペア同士の間で第1ラッチ手段・第2ラッチ手段間信号伝搬時間にばらつきが現れていても、第3ラッチ手段のラッチ動作によってそのばらつきは吸収されるため、遅延出力たる第3ラッチ手段のラッチ出力には、そのばらつきは現れない。

【0017】また、本発明における遅延クロック発生手段は、基準クロックの1周期より短い時間を単位として

その遅延量を調整可能な微小遅延素子を用いて、簡便に実現することができる。即ち、この微小遅延素子に基準クロックを供給することにより、遅延クロックを発生させればよい。また、この微小遅延素子は、例えばディレイラインとマルチプレクサにより簡便に実現された安価なものでよい。

【0018】更に、微小遅延素子による遅延量（微小遅延量）を変化させる際には、次のような手順を実行するとよい。まず、微小遅延素子における遅延量を変化させる旨の指令が外部から与えられたとき、遅延クロック使用型遅延回路が、それに応じ微小遅延回路に対する基準クロックの供給を一時的に停止させる。遅延クロック使用型遅延回路は、更に、遅延量を変化させるための信号を微小遅延素子に対し当該一時的停止の期間中に供給して、遅延量を変化させる。ディレイラインとマルチプレクサにより構成される微小遅延素子では、基準クロック供給中に微小遅延量設定を切り替えたとき、微小遅延素子に不定出力が現れることがあるが、微小遅延素子に対する基準クロックの供給を一時停止しておき微小遅延量設定を行うことによって、当該不定出力を防ぐことができる。

【0019】また、本発明は、シミュレータ或いは遅延方法に関する発明として表現することもできる。まず、本発明に係るシミュレータは、それぞれ無線伝搬路の伝搬特性を模擬する特性に従い入力信号を処理する複数の模擬ユニットと、これらの模擬ユニットに対し送信信号を模擬する入力信号を分配供給する手段と、これらの模擬ユニットから処理結果として得られる信号を合成して受信信号を模擬する出力信号を得る手段と、を備えるシミュレータにおいて、無線伝搬路の伝搬特性のうち動的な伝搬遅延プロファイル特性を模擬するため、各模擬ユニットの一部として又は各模擬ユニットに付設して、遅延プロファイル更新時に上記出力信号に瞬断が生じないよう本発明に係るデジタル遅延回路を設け、これらデジタル遅延回路に上記情報として上記入力信号又はそのサンプル値を供給することを特徴とする。次に、本発明に係る遅延方法は、メモリへの書込に対するメモリからの読出の時間差を以て情報を遅延させる遅延方法において、上記書込及び読出動作の速度を規定する基準クロックに対して当該基準クロックの1周期未満の時間だけずれたタイミングでメモリ出力をラッチすることにより当該情報を遅延させることを特徴とする。

【0020】

【発明の実施の形態】以下、本発明の好適な実施形態に関し図面に基づき説明する。なお、図8及び図9に示した従来技術と同様の又は対応する構成には同一の符号を付し、重複する説明を省略する。また、本発明の実施形態間で共通する構成にも同一の符号を付し、重複する説明を省略する。

【0021】図1に、本発明の第1実施形態に係るディ

ジタル遅延回路の構成を示す。この実施形態が図8に示した従来のデジタル遅延回路と相違している点は、ラッチ20とD/Aコンバータ14との間にラッチ22を設けたこと、基準クロックCLKを遅延させ遅延クロックCLKDを発生させる微小遅延素子24を設けたこと、この微小遅延素子24がその遅延量（加算器18に入力する遅延量DELAYと区別するため以下「微小遅延量」と呼ぶ）DELAYPを外部から可変設定可能な素子であること、微小遅延素子24により得られる遅延クロックCLKDに従いラッチ22及びD/Aコンバータ14を動作させるようにしたこと等にある。

【0022】微小遅延素子24は、図2に示すように、ECLマルチプレクサ24a及びディレイライン群24bにより構成できる。ディレイライン群24bは、複数のディレイラインを縦続接続した構成を有している。遅延させるべき基準クロックCLKは、この縦続接続の一端からディレイライン群24bに入力される。ディレイライン群24bを構成する複数のディレイラインの出力は、ECLマルチプレクサ24aに供給される。ECLマルチプレクサ24aは、図示しないが、ディレイ出力選択のためのスイッチを含むECL回路を内蔵しており、微小遅延量DELAYPに応じて、これら複数通りのディレイ出力のうちいずれかを選択し、遅延クロックCLKDとして出力する。

【0023】例えば、ディレイライン群24bを構成するディレイラインの個数が32個であり、ディレイライン群24bを構成する各ディレイラインが1/32nsecの遅延時間を付与する素子であり、ECLマルチプレクサ24aに対しては微小遅延量DELAYPが5ビットの2進数で設定されたとする。ECLマルチプレクサ24aに内蔵されるスイッチは、微小遅延量DELAYPの値に応じて動作する。それによって、32(=2<sup>5</sup>)通りのディレイ出力、即ちディレイライン群24bにて発生する遅延時間1/32、2/32、…1nsecの出力の中から、与えられた微小遅延量DELAYPに係るものが選択され、遅延クロックCLKDとして出力される。

【0024】なお、ディレイライン群24bを構成する各ディレイラインは、基準クロックCLKの周波数に応じた構成とする。基準クロックCLKが100MHz或いはそれと同程度以上の周波数である場合、各ディレイラインは分布定数型のディレイラインとするのが望ましい。また、微小遅延素子24は集積回路化できる。JPC（ジェーピーシー株式会社）により製造されているプログラマブルディジタルディレイモジュールEPD15R5NP等を微小遅延素子24として用いるとよい。

【0025】また、図8に示した従来技術においては、デュアルポートRAM10から読み出したデータDATAをラッチしD/Aコンバータ14に供給する動作を、ラッチ20が実行していた。これに対して、本実施

形態では、デュアルポートRAM10から読み出したデータRDATAをラッチする動作をラッチ20が実行し、データRDATAをD/Aコンバータ14に供給する動作をラッチ22が実行する、という機能分担を導入している。更に、2個のラッチ20及び22におけるラッチタイミングをずらせるようにするため微小遅延素子24を設け、それによって、基準クロックCLKの周波数 $f$ で定まる遅延分解能よりも精細な分解能を実現している。

【0026】ラッチ20におけるラッチタイミングは基準クロックCLKにより与えられているため、ラッチ20から出力されるデータの内容は、図3に示すように、基準クロックCLKに同期して変化する。なお、ここでは基準クロックCLKの立上りをトリガとしているが、立下りをトリガとしてもよい(この点は、以下に述べる他の場面又は他種のクロックについても同様である)。微小遅延素子24は、前述の如く、設定される微小遅延量DELAYPに応じた時間だけ基準クロックCLKを遅延させることによって、遅延クロックCLKDを発生させる。ラッチ22は、この遅延クロックCLKDのタイミングでラッチ20の出力をラッチする。従って、ラッチ22の出力は、図3に示すように、ラッチ20の出力に現れる変化に対して微小遅延量DELAYPに相当する時間だけ、遅延したデータとなる。これをD/Aコンバータ14にてD/A変換することにより得られるアナログ信号は、A/Dコンバータ12に入力されるアナログ信号に対して、遅延量DELAYPに係る遅延時間と微小遅延量DELAYPに係る遅延時間との和に相当する遅延時間を有するアナログ信号となる。

【0027】従って、微小遅延素子24中のディレイライン群24bを構成するディレイラインが、基準クロックCLKの1周期未満の遅延時間を有する素子であるならば、基準クロックCLKの1周期( $=1/f$ )よりも細かな遅延時間を実現できる。例えば、基準クロックCLKの周波数 $f$ が100MHzであれば、デュアルポートRAM10を用いた回路部分における遅延分解能は $1/100\text{MHz}=10\text{nsec}$ であるが、ディレイライン群24bを構成する各ディレイラインにおける遅延時間が $1/32\text{nsec}$ でそれらディレイラインの個数が32個(微小遅延量DELAYPは5ビット)ならば、微小遅延素子24を用いた回路部分における遅延分解能は $1/32\text{nsec}$ になり最大遅延時間は1nsecとなる。結果として、デュアルポートRAM10を用いた回路部分単独では基準クロックCLKの周波数 $f$ を上げない限り得られない細かな遅延分解能を、基準クロックCLKの周波数 $f$ を上げないで得ることが可能になる。無論、A/Dコンバータ12及びD/Aコンバータ14のマルチプレックス接続化、ダイナミックレンジの縮小等は必要でなく、回路構成の複雑化や高価格化はほとんど生じない。最大遅延時間についてはデュアルポートR

AM10を用いた回路部分で定まるため従来技術と同程度以上とすることができる。

【0028】図4に、本発明の第2実施形態に係るデジタル遅延回路、特に第1実施形態と相違する部分を示す。本実施形態においては、ラッチ20からラッチ22に至る経路として、ラッチ26及び28並びにスイッチ30を経る経路と、ラッチ32及び34並びにスイッチ30を経る経路とが、設けられている。ラッチ26及び32に対応して2分周器36が、ラッチ28及び34に対応して2分周器38が、それぞれ設けられている。2分周器36は、入力タイミング制御回路40を介して供給される基準クロックCLKを2分周することにより、基準クロックCLKの $1/2$ 倍の周波数を有する低速クロックCLK1及びCLK2を生成する。低速クロックCLK1と低速クロックCLK2は互いに $1/2$ 周期分ずれた位相を有している。

【0029】また、微小遅延素子24は入力タイミング制御回路40を介し供給される微小遅延量DELAYPに応じ遅延クロックCLKDを生成する。2分周器38は、遅延クロックCLKDを2分周することにより、遅延クロックCLKDの $1/2$ 倍の周波数を有する遅延低速クロックCLKD1及びCLKD2を生成する。遅延低速クロックCLKD1と遅延低速クロックCLKD2は互いに $1/2$ 周期分ずれた位相を有している。また、低速クロックCLK1及びCLK2に対する遅延低速クロックCLKD1及びCLKD2の遅延時間は、基準クロックCLKに対する遅延クロックCLKDの遅延時間と実質的に等しい。そして、出力タイミング制御回路42は、遅延クロックCLKDに同期してスイッチ信号SWを発生させ、ラッチ28及び34を遅延クロックCLKDの1周期毎に交互に、ラッチ22に接続する。

【0030】図5に示すように、ラッチ20の出力は基準クロックCLKに同期して変化する。本実施形態では、これを、それぞれ低速クロックCLK1及びCLK2のタイミングでラッチ26及び32によりラッチする。低速クロックCLK1及びCLK2の周波数が基準クロックCLKの周波数 $f$ の $1/2$ であることと、低速クロックCLK1と低速クロックCLK2との間に $1/2$ 周期分の位相差があることから、ラッチ20の出力のうち、ラッチ26が偶数番目のデータ(RDATA1)D0, D2, D4, ...をラッチし、ラッチ32が奇数番目のデータ(RDATA2)D1, D3, D5, ...をラッチする、というように、ラッチ26及び32のラッチ対象は異なるデータとなる。また、ラッチ28及び34におけるラッチタイミングは、遅延クロックCLKDから生成した遅延低速クロックCLKD1及びCLKD2により与えられているため、ラッチ26及び32におけるラッチタイミングに対して微小遅延量DELAYP相当分だけ遅延している。従って、遅延クロックCLKDに同期したスイッチ信号SWによりスイッチ30を切り



替えながらラッチ32によりラッチ28及び34の出力をラッチすることで、ラッチ32からは、微小遅延量DELAYPに相当する遅延を含む遅延が施されたデータRDATAが得られる。

【0031】このように、本実施形態では、微小遅延量DELAYPに相当する遅延時間を、ラッチ26とラッチ28の間及びラッチ32とラッチ34との間で、付与している。即ち、ラッチ26及び32が第1ラッチ手段、ラッチ28及び34が第2ラッチ手段であり、ラッチ20は第0ラッチ手段として、ラッチ22は(スイッチ30と協働して)第3ラッチ手段として動作する。また、第1及び第2ラッチ手段をそれぞれ低速クロックCLK1若しくはCLK2又は遅延低速クロックCLKD1若しくはCLKD2に従い動作させているため、そのラッチ動作は、第1実施形態におけるそれに比べて1/2の速度になる。即ち、あるデータをラッチしてから次のデータをラッチするまでの時間が(基準クロックCLKの周波数を変えていないにもかかわらず)2倍になり、その結果として、伝搬遅延時間のばらつき・変動の影響を吸収しやすくなる。

【0032】ここでいう伝搬遅延時間のばらつき・変動は、微小遅延量DELAYPの実現に関わる経路即ち第1ラッチ手段・第2ラッチ手段間信号伝搬経路における伝搬遅延時間のばらつき・変動であり、各ラッチの特性の温度変動や製造時のロットばらつきによって生じる。前述の第1実施形態では、第1及び第2ラッチ手段(ラッチ20及び22)が共に周波数 $f$ のクロックに同期してラッチを実行しているため、このばらつき或いは変動がラッチ周期 $=1/f$ と比較しうる程度に大きいという状況が比較的生じやすく、このことから、微小遅延量DELAYPの可変範囲に制約がかかってくる。これに対して、第2実施形態では、第1及び第2ラッチ手段(ラッチ26若しくは32及び28若しくは34)が共に周波数 $f/2$ のクロックに同期してラッチを実行しており、ラッチ周期が2倍となっているため、第1実施形態に比べ、伝搬遅延時間のばらつき或いは変動がラッチ周期と比較しうる程度に大きくなるという状況が比較的生じにくい。そのため、第1実施形態に比べ、微小遅延量DELAYPを広い範囲で変化させることが可能になる。

【0033】更に、図4に示した入力タイミング制御回路40は、基準クロックCLKに関する無瞬断制御を実行する。ここでいう瞬断とは、微小遅延素子24に対する微小遅延量DELAYPの設定を変更する瞬間に、微小遅延素子24からの遅延クロックCLKDの波形に乱れ(不定データ)が生じ、それによって後段の処理が不正常化することである。これを避けるため、図6に示すように、入力タイミング制御回路40は、外部から微小遅延量DELAYPの切替が指令されたとき(外部から指示される微小遅延量DELAYPの値が変化したと

き)、微小遅延素子24(及び2分周器36)に対する基準クロックCLKの供給を数クロック分停止させ、その間に、微小遅延素子24に対し新たな微小遅延量DELAYPを指令・設定する。基準クロックCLKの供給が再開した時点では、微小遅延素子24内のスイッチの状態が既に安定しているため、上述の瞬断が生じない。

【0034】図7に、本発明の各実施形態の利用環境のうち代表的なものとして、フェージングシミュレータを示す。このフェージングシミュレータは、例えば携帯電話システムの基地局移動局間における無線伝搬状況をシミュレート(模擬)するために使用される装置であり、それぞれ無線伝搬路を模擬するため使用される複数の模擬パス44を有している。各模擬パス44は、模擬対象たる無線伝搬路における伝搬遅延時間を模擬するための遅延回路44aや、移動局の移動等に伴うレイリーフェージングを模擬するためのレイリーフェージング模擬ユニット44bを有している。また、ライスフェージングを模擬するためにレイリーフェージング模擬ユニット44bと並列にライス用付加ユニット44cを設けてもよい。各レイリーフェージング模擬ユニット44b及びライス用付加ユニット44cは、適宜、オン/オフすることを含め、外部から調整・設定が可能である。送信波に相当する入力信号は入力回路46により各模擬パス44に分配される。模擬パス44のうち使用されているもの(オンしているもの)の出力は出力回路48により合成され受信波を模擬する信号が出力される。本発明の各実施形態に係るデジタル遅延回路は、この種のフェージングシミュレータにおける遅延回路44aとして、用いることができる。それによって、動的遅延特性プロファイルの更新時における模擬受信波の瞬断等が生じない。前に例示した1nsecの伝搬時間が、空気中では0.3mの経路長に相当することに、留意されたい。

【0035】以上、本発明の好適な実施形態に関して説明したが、本発明は他の形態によって実施することもできる。例えばデュアルポートRAM10に代え3個以上のアクセスポートを有するマルチポートRAMを用いることもできる。或いは、単一のアクセスポートを時分割でリード/ライトに使用する形態でも、本発明を実施できる。ダウンカウンタ16に代えてアップカウンタを、加算器18に代えて減算器を用いてもよい。書込アドレスWADRSから読出アドレスRADRSを生成するのではなく、逆に読出アドレスRADRSから書込アドレスWADRSを生成するようにしてもよい。微小遅延素子24は図2に示した構成や例示した商品に限定されるものではない。図4では遅延クロックCLKDを2分周して遅延低速クロックCLKD1及びCLKD2を生成しているが、低速クロックCLK1及びCLK2を微小時間遅延させて遅延低速クロックCLKD1及びCLKD2を生成するようにしてもよい。2分周はN分周に一般化できる。分周数に応じてラッチの個数やクロックの

本数を決めればよい。また、上掲の遅延分解能は一例であり、実施の仕方によっては、本発明により更に優れた遅延分解能を実現できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係るデジタル遅延回路の構成を示すブロック図である。

【図2】 微小遅延素子の一例構成を示す回路図である。

【図3】 第1実施形態の動作を示すタイミングチャートである。

【図4】 本発明の第2実施形態に係るデジタル遅延回路の構成を示すブロック図である。

【図5】 第2実施形態の動作を示すタイミングチャートである。

【図6】 第2実施形態における無瞬断制御を説明するための波形図である。

【図7】 本発明の利用環境の一例を示すブロック図である。

【図8】 一従来技術に係るデジタル遅延回路の構成

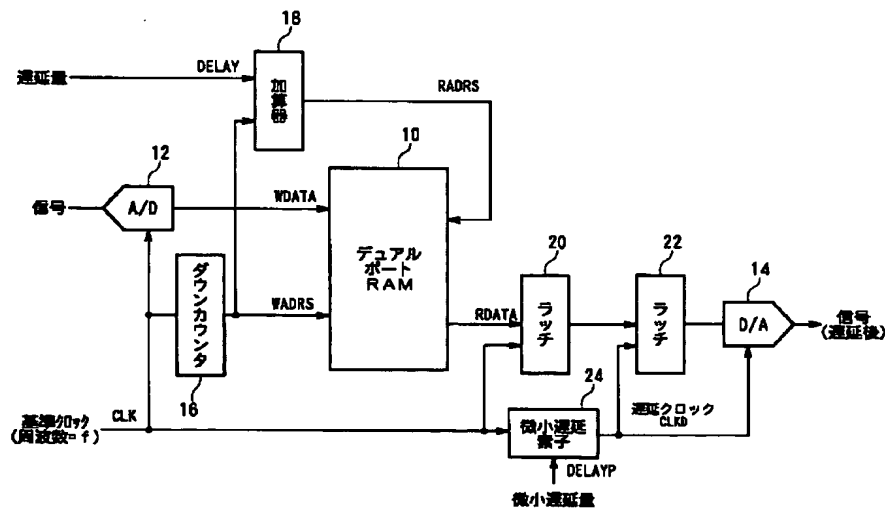
を示すブロック図である。

【図9】 デュアルポートRAMを用いた遅延処理の原理を説明するための概念図である。

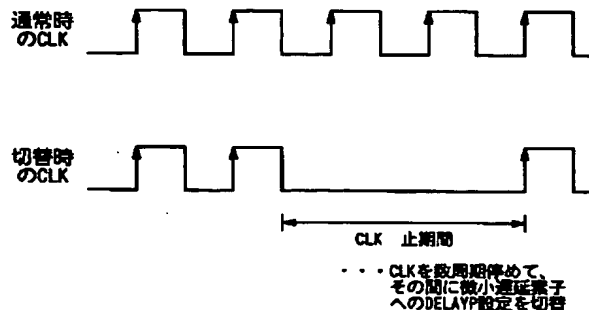
【符号の説明】

10 デュアルポートRAM、12 A/Dコンバータ、14 D/Aコンバータ、16 ダウンカウンタ、18 加算器、20、22、26、28、32、34 ラッチ、24 微小遅延素子、24a ECLマルチプレクサ、24bディレイライン群、30 スイッチ、36、38 2分周器、40 入力タイミング制御回路、42 出力タイミング制御回路、44 模擬パス、44a 遅延回路、CLK 基準クロック、CLK1、CLK2 低速クロック、CLKD遅延クロック、CLKD1、CLKD2 遅延低速クロック、D0、D1、...D7 データ、DELAY 遅延量、DELAYP 微小遅延量、f 基準クロックの周波数、RADRS 読出アドレス、RDATA、RDATA1、RDATA2 読出データ、WADRS 書込アドレス、WDATA 書込データ。

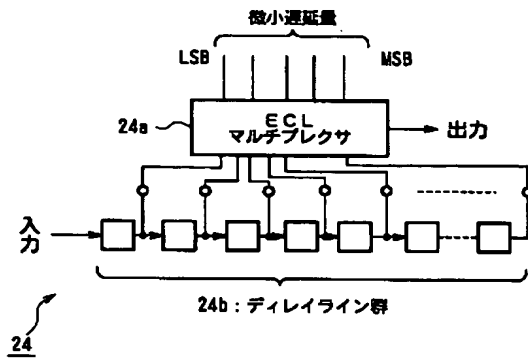
【図1】



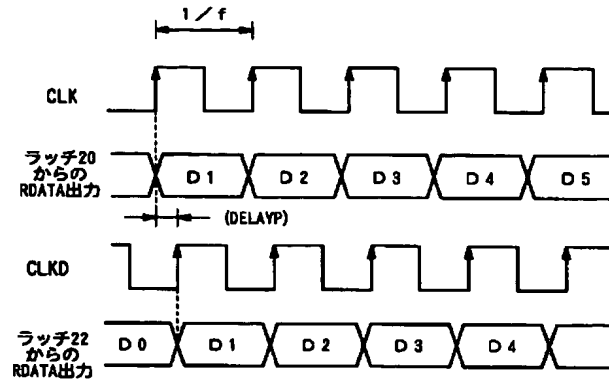
【図6】



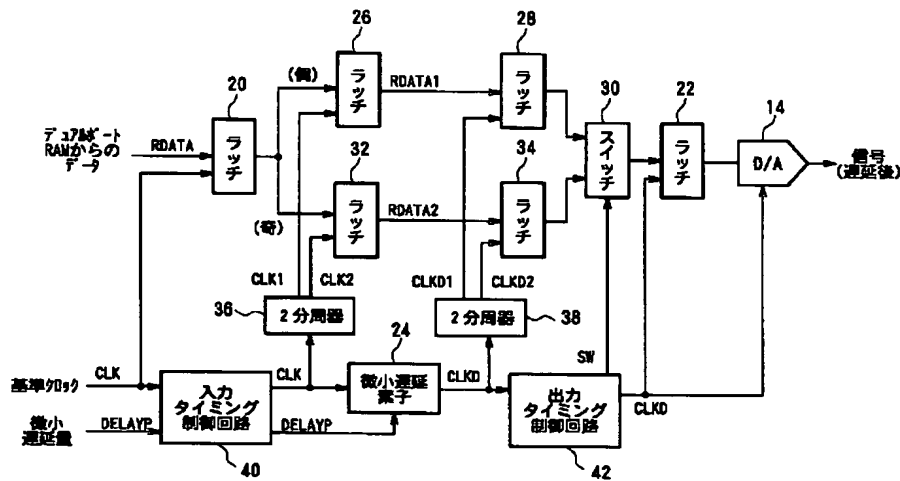
【図2】



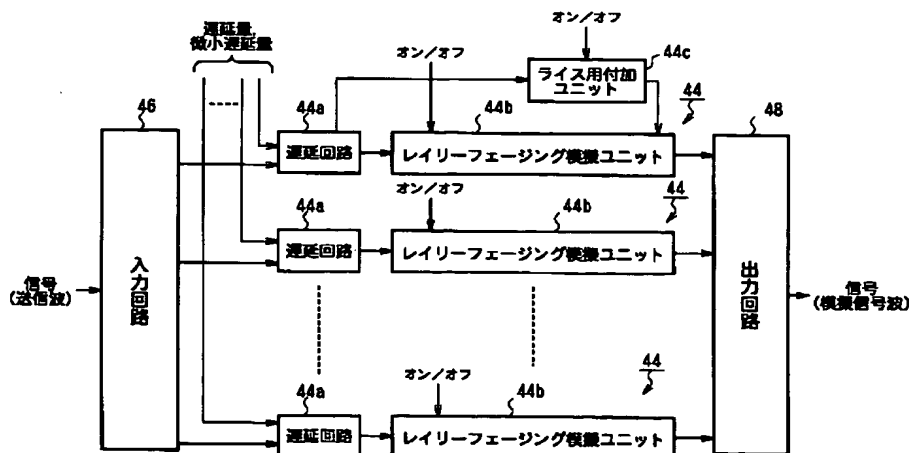
【図3】



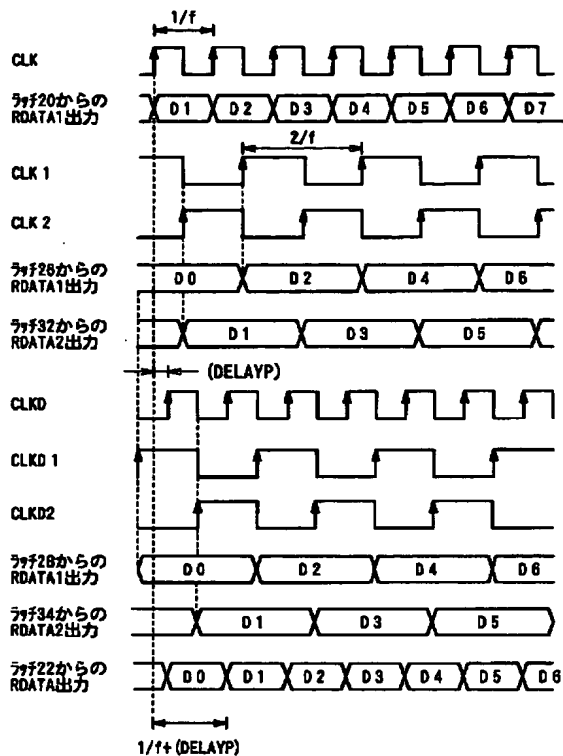
【図4】



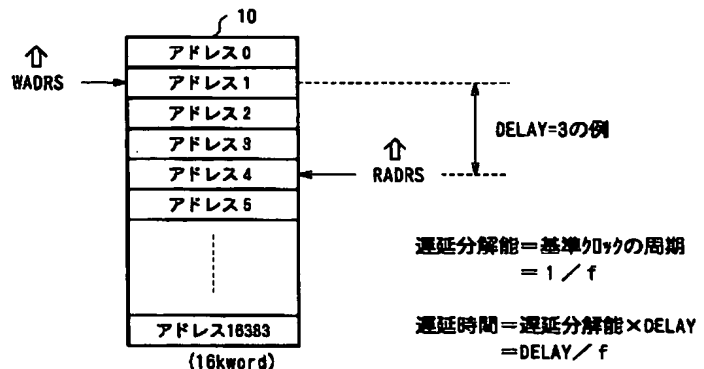
【図7】



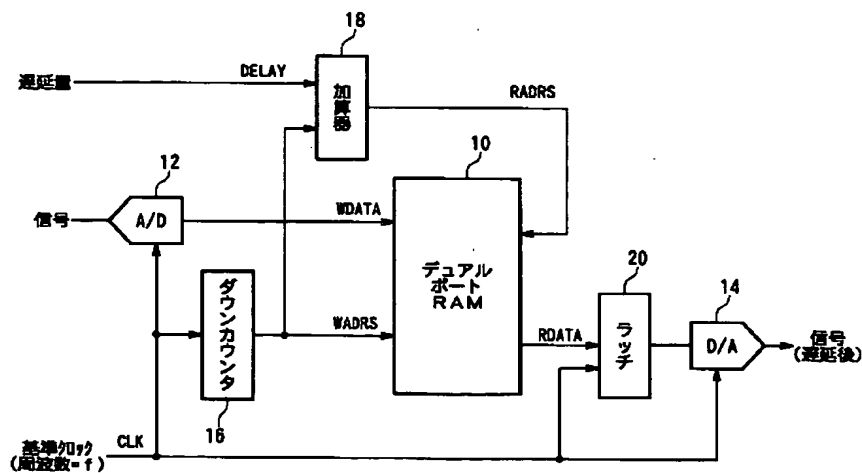
【図5】



【図9】



【図8】



フロントページの続き

(72)発明者 飯田 洋志  
東京都三鷹市下連雀五丁目1番1号 日本  
無線株式会社内

(72)発明者 寺田 賢司  
東京都三鷹市下連雀五丁目1番1号 日本  
無線株式会社内

(11) 冊2002-76861 (P2002-768JL

Fターム(参考) 5B079 CC02 CC17 DD06  
5J001 AA11 BB00 BB22 DD09